

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## RESYNC DETECTION CIRCUIT

Patent Number: JP4132431

Publication date: 1992-05-06

Inventor(s): SATOMURA SEIICHIRO

Applicant(s): CANON INC

Requested Patent:  JP4132431

Application: JP19900254801

Priority Number(s):

IPC Classification: H04L7/08; G11B20/10

EC Classification:

Equivalents:

## Abstract

**PURPOSE:** To ensure an output of a proper RESYNC by outputting a position estimate pulse with priority when  $2 \geq$  RESYNC signals are detected in a window and any of them is located at a position the same as that of the position estimate pulse.

**CONSTITUTION:**The detection circuit is provided with a RESYNC pattern matching circuit 1, a window circuit 2, delay circuits 3-9, a pulse presence discrimination circuit 11, a normal RESYNC pulse presence discrimination circuit 12, a SYNC detection circuit 13, a selector 14, an OR gate circuit 15, a D flip-flop 16 and an AND gate circuit 17. In this case, when  $2 \geq$  RESYNC signals in a window are detected and any of them is at the same position as the position estimate pulse, the pulse is outputted with priority. Thus, even when a false RESYNC pattern appears, the RESYNC is correctly detected and the correct operation is ensured.

Data supplied from the **esp@cenet** database - I2

## ⑫ 公開特許公報(A) 平4-132431

⑮ Int. Cl.<sup>5</sup>H 04 L 7/08  
G 11 B 20/10

識別記号

3 5 1 A  
Z

庁内整理番号

8949-5K  
7923-5D

⑬ 公開 平成4年(1992)5月6日

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 RESYNC検出回路

⑯ 特 願 平2-254801

⑰ 出 願 平2(1990)9月25日

⑱ 発 明 者 里 村 誠 一 郎 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代 理 人 弁理士 川久保 新一

## 明 細 書

## 1. 発明の名称

RESYNC検出回路

## 2. 特許請求の範囲

既存のSYNCまたはRESYNCの検出パルス位置から推定される正規RESYNC位置推定パルスを設定するとともに、この推定パルス位置の前後にウィンドウを設け、そのウィンドウ内でRESYNCが2値化個以上検出された場合には、1個のみを認知して出力し、またRESYNCが1個のみ検出された場合には、それをそのまま出力し、さらにRESYNCが1個も検出されなかった場合には、上記推定パルスをRESYNCの代りに出力するRESYNC検出回路であって、

ウィンドウ内で2個以上のRESYNCが検出されて、しかもそれらのうちのいずれかが上記位

置推定パルスと同じ位置にある場合には、そのパルスを優先して出力することを特徴とするRESYNC検出回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、情報記録装置や情報伝送装置において、再生信号中に挿入されたRESYNCと呼ばれる同期用コードパターンを検出するRESYNC検出回路に関する。

〔従来の技術〕

第14図は、追記形あるいは書き換え形の光ディスクのセクタフォーマットの一例を示す模式図である。

なお、ここでは光ディスクドライブ装置を例にとって説明するが、光ディスクのみならず磁気ディスクや他の記録媒体を用いたディスク、あるいはディスクのみならず、テープ、カード等の情報再生装置、あるいは情報記録装置のみならず、情報伝送装置の受信部等にも同様に適用することが可能である。

RESYNCは、データの中に一定周期で1バイトずつ、例えば20バイトあるいは15バイトのデータに対しRESYNCを1バイトというように、複数個挿入されている。

また、(2, 7)符号記録方式とすると、RESYNCパターンは、例えば“0010 0000 0010 0100”のように、(2, 7)符号法則上では、データパターン上に現われる可能性が少ない。したがって、誤検出の可能性が少ないパターンが選ばれる。

また、第15図は、上記第14図における「Data, control, ECC, CRC and resync」の部分のさらに詳しいフォーマット例を示す模式図である。図中、SBがSYNCを示し、RSがRESYNCを示している。

図示のように、通常はSYNCとそれに続くRESYNCは、等間隔で挿入される。

RESYNCは、通常第16図のようなパターンマッチング回路によって検出される。

このパターンマッチング回路は、シフトレジス

タ81とゲート回路82～84を有し、“100000001001”のパターンがシフトレジスタ81に入力され終わった時点で、ANDゲート回路84の検出信号出力が「1」となる。

RESYNCパターンは、普通はデータパターンに現れないようなパターンを選ぶが、再生信号の品質の劣化によってRESYNCを誤検出することを防ぐため、所定のウィンドウを設定し、そのウィンドウ内で検出されたRESYNC検出信号のみを認知するようにすることが多い。

第17図は、そのRESYNC検出回路を示すブロック図であり、第18図は、同回路の働きを示すタイムチャートである。

このRESYNC検出回路は、上記パターンマッチング回路91と、SYNC検出回路92と、ウィンドウ生成回路93と、ANDゲート回路94とを有する。

ウィンドウ生成回路93は、SYNC信号を基準としてクロックをカウントし、RESYNC検出信号が発生すると推定される領域付近で開くよ

うなウィンドウを生成する回路である。

第18図中の3番目のパルスは、RESYNCを誤検出したものであるが、その誤検出パルスの出力をウィンドウによって防いでいる。したがって、このウィンドウは、広すぎても狭すぎてもいけない。

以下、その詳細な理由を情報再生装置を例にして説明する。

第19図は、一般的な情報再生装置の構成を示すブロック図である。

この装置は、記録媒体111からの再生信号を検出する検出器112と、この検出信号を2値化する2値化回路113と、再生信号中のセクタマークを検出するセクタマーク検出器114と、このセクタマークによってリードゲートを生成するリードゲート生成回路115と、後述のデータシンクロナイザ回路116と、再生信号の復号化回路117と、アドレスマークを検出するアドレスマーク検出器118と、プリフォーマット部のリードクロックを生成する回路119と、RESY

NC検出回路120と、データ部のリードクロックを生成する回路121とを有する。

そして、このような回路では、PLL回路により再生信号に同期したクロックを生成して用いている。

このPLL回路は、データシンクロナイザ回路116の中に設けられている。データシンクロナイザ回路116は、同期化されたクロックと、そのクロックによって同期化された同期データを出力する。

このような情報再生装置の出力は、第20図に示すタイムチャートのように、復号データと、それに同期するリードクロックの形で出力される。

ここで、上記RESYNC検出回路120に戻って説明すると、この検出回路120により出力されるRESYNCは、上記情報再生装置において、再生信号の欠落や信号品質低下などにより、PLL回路で生成するクロックの位相がずれたり、同期数がはずれたりした時に、データの位置

を再確認するために利用される。

したがって、RESYNCの検出ウィンドウが狭すぎると、PLLのクロックが乱れた時に、RESYNCがウィンドウからはみ出してしまい、それによってその位置以降は読み取り不能となってしまう。また逆にウィンドウが広すぎると、データ上の誤りによって生じた偽RESYNCパターンを誤って検出し、やはりそれ以降、読み取りが不能となる。

#### 【発明が解決しようとする課題】

そこで、本発明者は、以上のような条件を考慮し、適正なRESYNCを出力を確保できるRESYNC検出回路を提案している。

すなわち、このRESYNC検出回路は、前回のSYNCまたはRESYNC検出パルス位置から推定される正規RESYNC位置推定パルス位置の前後にウィンドウを設け、そのウィンドウ内でRESYNCを検出し、RESYNCが2個以上検出された場合には、1個のみを認知して出力し、またRESYNCが1個のみ検出された場合

の発生によって再生されたビット列の中で、本来は“0”であるべきビットが“1”になってしまい、さらに、その場所が第21図に示した位置に発生したとすると、第21図に示すように、真のRESYNCパターンの手前に偽のRESYNCパターンが出現してしまう。すると、RESYNC検出パルスは2個発生することになる。そして、この場合には2個目の真のパルスを優先させたいところである。

ところで、正規RESYNC位置推定パルスは、前回のSYNCあるいはRESYNC位置を基準にクロックをカウントして設定したパルスであり、前回のRESYNC検出パルスが正しければ途中でクロックの同期ずれが起こらない限り、正しいRESYNC検出パルス位置を示している。

そして、RESYNC検出ウィンドウは、正規RESYNC位置推定パルスを中心にして設定され、このウィンドウを狭くしておけば、第21図に示すように、偽のRESYNCは無視すること

には、それをそのまま出力し、さらにRESYNCが1個も検出されなかった場合には、前述正規RESYNC位置推定パルスをRESYNC検出パルスの代りに出力させるようにして、必ずウィンドウ内で1個のRESYNCパルスを出力するものである。

しかしながら、例えば上述のような装置における再生信号の品質は、経年変化、媒体品質ならびに再生環境等の要因によって劣化するものであり、再生信号の品質劣化が生じると、記録したはずのデータ信号が消えたり、他のデータに化けたりして、様々な問題が生じる。

例えば、前述の(2,7)符号記録方式におけるRESYNCパターンは“0010000000100100”を用いたとする。また、RESYNCの直前の1バイトのデータは“33 hex.”であったとする。そして、この時の記録される信号のパターンの例を第21図に示す。

ここに、再生信号品質劣化によって、エクストラパルスが発生した場合、まずエクストラパルス

ができる。しかるにウィンドウを狭くすると先に述べたように、正しいRESYNCをとり逃がしてしまうことが考えられる。さらに、RESYNCパターンを検出できなかった場合でもRESYNCを検出することによって再生できるようにしようとすると、RESYNCのウィンドウは、SYNCのウィンドウと同じ大きさが必要で、第21図の例でいえば±15クロックくらいの広さが必要である。ところが、ウィンドウを±15クロックの広さにすると、第21図に示すように、偽のRESYNCパターンもとりにこんでしまって、一つのウィンドウ内に、本物のRESYNC検出パルスを含む複数の検出パルスが発生してしまう。

本発明は、ウィンドウ内に複数の検出パルスが発生した場合に、適正なRESYNCを選択して出力することができるRESYNC検出回路を提供することを目的とする。

#### 【課題を解決する手段】

本発明は、既存のSYNCまたはRESYNC

の検出パルス位置から推定される正規RESYNC位置推定パルスを設定するとともに、この推定パルス位置の前後にウィンドウを設け、そのウィンドウ内でRESYNCが2個化個以上検出された場合には、1個のみを認知して出力し、またRESYNCが1個のみ検出された場合には、それをそのまま出力し、さらにRESYNCが1個も検出されなかった場合には、上記推定パルスをRESYNCの代りに出力するRESYNC検出回路であって、ウィンドウ内で2個以上のRESYNCが検出されて、しかもそれらのうちのいずれかが上記位置推定パルスと同じ位置にある場合には、そのパルスを優先して出力することを特徴とする。

#### 〔作用〕

本発明では、ウィンドウ内で2個以上のRESYNCが検出されて、しかもそれらのうちのいずれかが正規RESYNC位置推定パルスと同じ位置にある場合、そのパルスを優先して出力することにより、適正なRESYNCを選択して出力す

ることができる。

#### 〔実施例〕

第1図は、本発明の一実施例を示すブロック図である。

このRESYNC検出回路は、RESYNCパターンマッチング回路1と、ウィンドウ回路2と、ディレイ回路3～9と、パルス有無判定回路11と、正常RESYNCパルス有無判定回路12と、SYNC検出回路13と、セレクト14と、ORゲート回路15と、Dフリップフロップ16と、ANDゲート回路17とを有する。

第2図は、第1図に示す各ディレイ回路の具体例を示す回路図であり、第3図は、各ディレイ回路の他の具体例を示す回路図である。

長いディレイは第2図に示す回路を、短いディレイは第3図に示す回路を用いると効率的である。

また、第4図は、第1図中のウィンドウ回路の構成を示す回路図であり、第5図は、ウィンドウ回路の動作を示すタイムチャートである。

RESYNC検出回路では、まず再生信号からSYNC検出回路13によってSYNC検出信号をつくる。次に複数のディレイ回路3～9の働きによって、第1番目のRESYNC位置を推定し、正規RESYNC位置推定パルスを生成し、また、その前後に推定パルスを中心として対称となるウィンドウを設定すべく、ウィンドウオープンとウィンドウクローズのパルスを生成する。

一方、RESYNCパターンマッチング回路1で生成されたマッチング信号は、ウィンドウ回路2によって認知され、ディレイ回路5によってディレイされ、2個以上のパルスが出力されないように1個化される。

第7図は、ディレイ回路5の例を示す回路図である。

このディレイ回路5により、複数のRESYNC検出パルスが入力された場合には、それらのうちの先頭のパルスのみがディレイされて出力される。

第8図は、パルス有無判定回路11を示す回路

ウィンドウオープン信号とウィンドウクローズ信号は、RESYNCのウィンドウの開始時点と終了時点を示すためのパルス信号である。

上記RESYNC検出回路のディレイ回路9をディレイ回路8よりも1クロック長く設定することによって、正規RESYNC位置推定パルスに対して、前後が対称の形となる。つまり、第5図で説明すると、正規RESYNC推定パルスに対して前半と後半のウィンドウの長さが等しくなっている。

第5図中、Aは正規のRESYNCパターン検出パルス、Bは偽RESYNCによってウィンドウ内に生じた2個めのパルスである。

そして、ウィンドウ回路2では、ウィンドウ内に位置するパルスA、パルスBを認知して出力し、ウィンドウ外に位置するパルスCは無視して出力しない。

第6図は、RESYNC検出回路に正常のSYNC、RESYNC信号が入力された場合の動作を示すタイムチャートである。

図である。

このパルス有無判定回路11では、ウィンドウ内に1個以上パルスが存在した時は“1”を、存在しなかった時には“0”を出力する。

第9図は、正常RESYNCパルス有無判定回路12を示す回路図である。

この正常RESYNCパルス有無判定回路12では、正規RESYNC位置推定パルスと同じ位置にマッチング信号のパルスが存在するかどうかを判定している。存在する場合は、それを正常RESYNCパルスとみなし、“L”を出力する。また、存在しなかった場合には“H”を出力する。

ANDゲート回路17は、パルス有無判定信号と正常RESYNCパルス“無”信号とのANDを求め、それをセクタ14のセレクト信号として入力する。

これによりセクタ14は、ウィンドウ内に1個以上のRESYNCが検出されてしかも、それらの検出された位置が推定パルス位置と異なる場

きる。つまり、復号器117の前または後ろに、ディレイ回路4と等しい長さのディレイ回路を設ければよい。なお、ディレイ回路5とディレイ回路4とを等しくするといっても、本実施例のようにウィンドウ回路2として第4図に示す構成を用いる場合には、ウィンドウ回路2の出力が入力に対して1クロックのディレイが既にあるので、ディレイ回路5の長さは、ディレイ回路4よりも1クロック短くするのが正しい。このようにディレイの長さは、実施回路によって少しずつ異なるわけであるが、本発明の本質にはかわりない。

次に、セクタ信号は、ORゲート回路15によってSYNC信号と合わせて1つの信号となって出力される。また、そのRESYNCのパルスは、ディレイ回路6に再入力され、そのRESYNCのパルスが、次のRESYNCパルスの基準時点となり、次のRESYNC位置を推定する。

以上の動作はリードゲート信号が、ノンアクティブになるまで連続する。

合のみ、ディレイ回路5から出力される1個化されたRESYNC検出パルスを選択する。

それに対し、ウィンドウ内にRESYNCが検出されなかった場合、あるいはRESYNCが検出されてしかもその中に推定パルス位置と一致するパルスが存在した場合には、セクタ14は、ディレイ回路8による正規RESYNC位置推定パルスを選択する。

但し、パルス有無の判定が完了するのは、ウィンドウよりも後ろでなければならないので、その前にセクタ14に正規RESYNC位置推定パルスが入力しないように、セクタ14の入りに、ウィンドウ後半の長さ以上の長さを持つディレイ回路4を設けなくてはならない。また、RESYNCパルスもそれに合わせて、ディレイ回路4と同じ長さのディレイ回路5を設ける。

これによって最終的なRESYNC信号は、常時一定時間遅れて出力されるのであるが、これは第11図に示す復号器117の出力を、同じ長さだけ遅延させることによって解決することがで

以上の動作によって前回のSYNCまたはRESYNC検出パルス位置から推定される正規RESYNC位置推定パルスを設定し、またその推定パルス位置の前後に等しい長さのウィンドウを設け、そのウィンドウ内でRESYNCが1個以下出力されるようにし、RESYNCが検出されなかった時には、正規RESYNC位置推定パルスがRESYNC検出パルスの代りに出力されるようになる。

第10図は、RESYNC検出回路のRESYNC消失信号入力時の動作を示すタイムチャートである。

再生信号品質劣化により、RESYNCパターンが消失すると、第10図に示すように、マッチング信号のパルスが消えてしまう。この図では、SYNCは正しく検出され、最初のRESYNCも正しく検出されたが、2回目のRESYNCが消失した場合を示している。この場合でも、セクタ14が、正規RESYNC位置推定パルスを選択することにより、正しいRESYNC信号が

出力され、データは正しく再生することができ、る。また、次のRESYNC検出ウィンドウも正しい位置に設定される。

第11図は、偽RESYNCパターンが発生した場合の動作を示すタイムチャートである。

この図は、SYNCは正しく検出され、第1のRESYNCも正しく検出されたが、再生信号に異常が生じて第2のRESYNC検出ウィンドウ内に、偽のRESYNCパターンが出現してしまった場合に、それにもかかわらず第3のRESYNCには異常が無かった場合を示す。

この場合には、第2のRESYNC部分に偽RESYNCパターンが出現したことによって、出力のRESYNC信号は、正しい位置よりも手前で誤りのパルスを出力して、さらに第3RESYNC検出用のウィンドウ位置は誤って前にずれてしまっているが、第3RESYNCが正しく検出されることによって第3RESYNC検出信号も正しく出力され、さらに第4RESYNC検出用のウィンドウも正しく設定されている。

うな事態が発生すると、情報再生装置においては、第1のデータブロックの20バイトないしは15バイトは再生できなくなるが、第2のブロック以降は正しく再生できるので、エラー訂正コードの働きにより、そのセクターは正しく再生することができる。

さらに、RESYNC検出ウィンドウの長さをSYNC検出ウィンドウの長さと同しくしておけば、SYNCパターンが再生信号の品質劣化により消失してしまったとしても、RESYNCが正しく検出できれば、それ以降のデータは再生できるので、そのセクターを正しく再生することができる。

次に、前述した第21図に示すパターンが入力した場合における動作を説明する。

第21図のパターンは前述したように、エクストラパルスの発生によって、真のRESYNCパターンの近くに、偽のRESYNCパターンが発生し、それによって本物と偽物の2個のRESYNC検出パルスが発生する。

情報再生装置においては、第11図に示すような事態が発生すると、第2RESYNCの部分つまり第3のデータブロックの20バイトないしは15バイトは再生不能となるが、次のブロック以降は正しく再生ができるので、エラー訂正コードの働きにより、そのセクターは正しく再生することができる。

第12図は、偽RESYNCパターンが発生した場合の動作を示すタイムチャートである。

この図は、RESYNCパターン部分に大きな異常信号が発生して、RESYNCパターンを正しくない位置で誤検出したが、RESYNCは正しく検出された場合を示している。

図示のように、偽RESYNCを正しい位置より手前で誤検出したとしても、そのずれ量が、RESYNCのウィンドウの広さ以内であれば、第1のRESYNC検出ウィンドウはずれるものの、RESYNCは正しく検出される。また、第2のRESYNC以降のRESYNC検出ウィンドウも正しく設定される。この第12図に示すよ

第13図は、この場合の動作を示すタイムチャートである。

第13図では、SYNCと第1のRESYNCは正しく検出されたが、第2のRESYNCにおいて、第21図のパターンが発生して、それによって本物と偽物の2個のRESYNC検出パルスが発生したことを示している。

この時の第1図における正常RESYNCパルス有無判定回路12は、正常パルスが有るので、“L”を出力する。従ってANDゲート回路17の出力は“L”となり、セレクタ14は、ディレイ回路8の出力（正規RESYNC位置推定パルス）を選択する。すると、この場合にも正しいRESYNC信号が出力される。

従ってこの場合も、エクストラパルスの発生によって、偽RESYNCパターンが出現したにもかかわらず、誤りなくデータを再生することができる。

以上のように、本実施例では、再生信号の劣化により、正規RESYNCパターンの近くに、偽



のRESYNCパターンが出現してしまった場合でも、正しくデータを再生することができる。したがって、RESYNC検出ウィンドウをより広く設定することができ、さらにそれによってSYNCが正しく検出できなかった場合でも、RESYNCを検出することによって正しくデータを再生できる。

また、以上の理由により、記録再生装置において次の効果が生じる。

- (1) 記録媒体の経年変化、環境変化、汚れ、キズ等の原因によって再生不能となる危険性を小さくすることができる。
- (2) 記録媒体とドライブ装置の相性の問題によって、別のドライブ装置に媒体を移動すると再生できなくなるという危険性を小さくすることができる。
- (3) ドライブ装置を信号品質劣化に対して強くできるので、媒体の品質仕様を、そのぶんだけ下げることができるので、媒体生産上の歩留りを向上させることができ、媒体の製造コストを下げる

また、本発明の主旨を変えることなく第1図に示す回路構成を種々変形することも可能である。例えば必要なタイミングを設定するための各ディレイの組み合わせは、種々のバリエーションが考えられる。また、パルス有無判定回路11と正常RESYNCパルス有無判定回路12とを合体して、同じ機能を持つ他の回路に置き替えることもできる。さらに、セレクト14を利用しないで、代わりにディレイ回路9、ディレイ回路8のリセット機能を使用する方法もある。

#### 〔発明の効果〕

以上のように、本発明によれば、正規RESYNCパターンの近くに、偽のRESYNCパターンが出現してしまった場合でも、正しくRESYNCを検出することができ、正しい動作を確保できる効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例によるRESYNC検出回路を示すブロック図である。

ことができる。

(4) RESYNCのエラー修正能力を高めることができるので、RESYNCパターンの間隔の長いフォーマットを採用することができ、その分だけ、実質記録密度が向上する。

なお、上記実施例においては光ディスクドライブ装置のSYNC、RESYNC検出回路について説明したが、これは一定周期の同期パターン検出であれば、記録装置、通信装置にかかわらず、どのような回路にでも応用できる。

また、SYNCとRESYNCは同一パターンであってもかまわない。一定周期の同一パターンの検出において、最初に検出する同期パターンをSYNC、2回目以降に検出する同期パターンをRESYNCとみなすこともできる。その意味では、例えば光ディスクドライブ装置におけるセクターマークの検出に本発明を利用することもできる。あるいは、サンプルホールド方式の光ディスクにおけるクロックピットの抽出に本発明を利用することもできる。

第2図は、上記実施例に設けられる各ディレイ回路の具体例を示す回路図である。

第3図は、上記各ディレイ回路の他の具体例を示す回路図である。

第4図は、上記実施例に設けられるウィンドウ回路の構成を示す回路図である。

第5図は、上記ウィンドウ回路の動作を示すタイムチャートである。

第6図は、上記実施例のRESYNC検出回路に正常のSYNC、RESYNC信号が入力された場合の動作を示すタイムチャートである。

第7図は、上記実施例のディレイ回路の構成例を示す回路図である。

第8図は、上記実施例に設けられるパルス有無判定回路を示す回路図である。

第9図は、上記実施例に設けられる正常RESYNCパルス有無判定回路を示す回路図である。

第10図は、上記実施例におけるRESYNC検出回路のRESYNC消失信号入力時の動作を

示すタイムチャートである。

第11図は、上記実施例のRESYNC検出回路において偽RESYNCパターンが発生した場合の動作を示すタイムチャートである。

第12図は、上記実施例のRESYNC検出回路において偽RESYNCパターンが発生した場合の動作を示すタイムチャートである。

第13図は、上記実施例のRESYNC検出回路においてエクストラパルスの発生によって本物と偽物の2個のRESYNC検出パルスが発生した場合の動作を示すタイムチャートである。

第14図は、従来の追記形あるいは書き換え形の光ディスクのセクタフォーマットの一例を示す模式図である。

第15図は、第14図におけるフォーマットの一部をさらに詳しく示す模式図である。

第16図は、RESYNCを検出するパターンマッチング回路の一例を示す回路図である。

第17図は、上記パターンマッチング回路を使用したRESYNC検出回路の一例を示すブロッ

ク図である。

第18図は、第17図に示すRESYNC検出回路の働きを示すタイムチャートである。

第19図は、一般的な情報再生装置の構成を示すブロック図である。

第20図は、上記情報再生装置の出力信号を示すタイムチャートである。

第21図は、第17図に示すRESYNC検出回路において、エクストラパルスの発生によって本物と偽物の2個のRESYNC検出パルスが発生する場合の信号のパターン例を示すタイムチャートである。

- 1…RESYNCパターンマッチング回路、
- 2…ウィンドウ回路、
- 3～9…ディレイ回路、
- 11…パルス有無判定回路、
- 12…正常RESYNCパルス有無判定回路、
- 13…SYNC検出回路、
- 14…セレクト、

15…ORゲート回路、

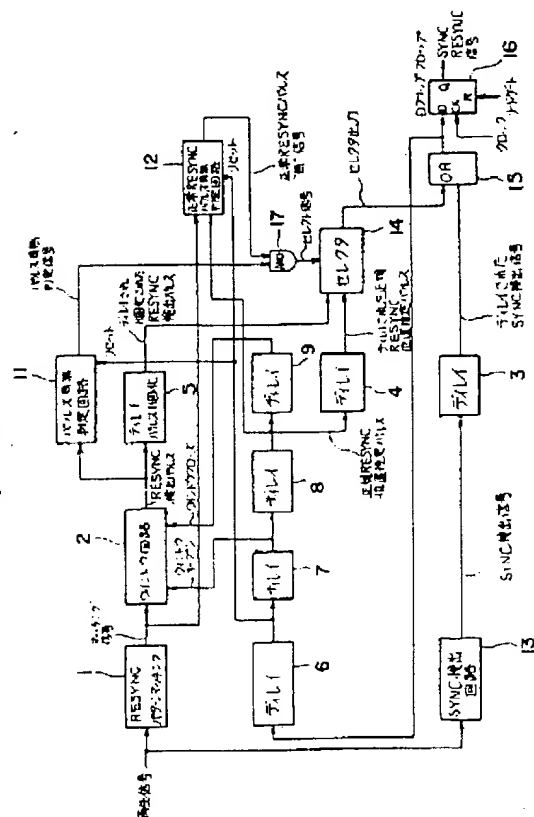
16…Dフリップフロップ、

17…ANDゲート回路。

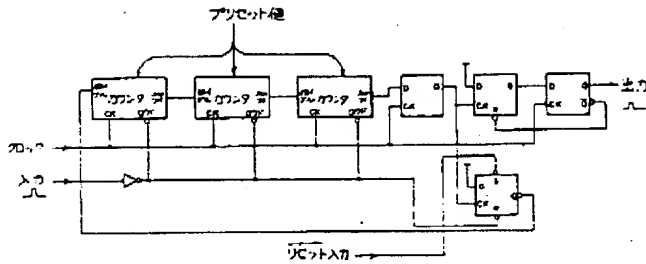
特許出願人 キヤノン株式会社

同代理人 川久保 新一

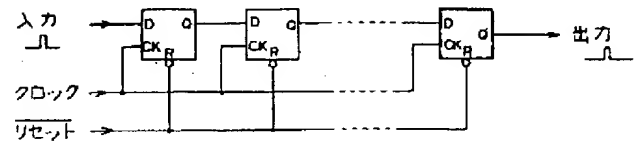
第1図



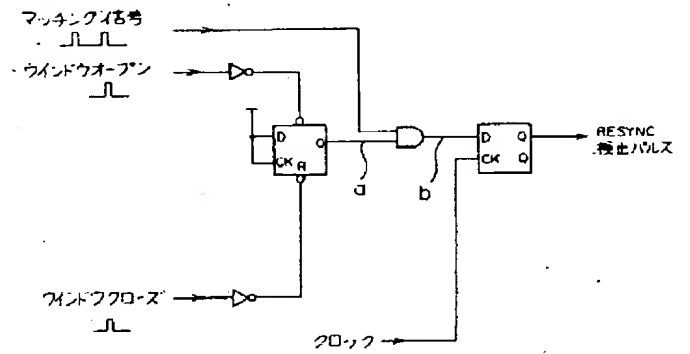
第2図



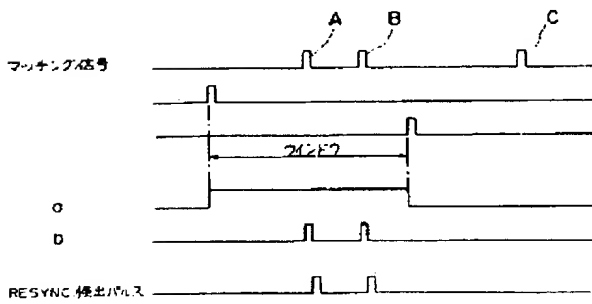
第3図



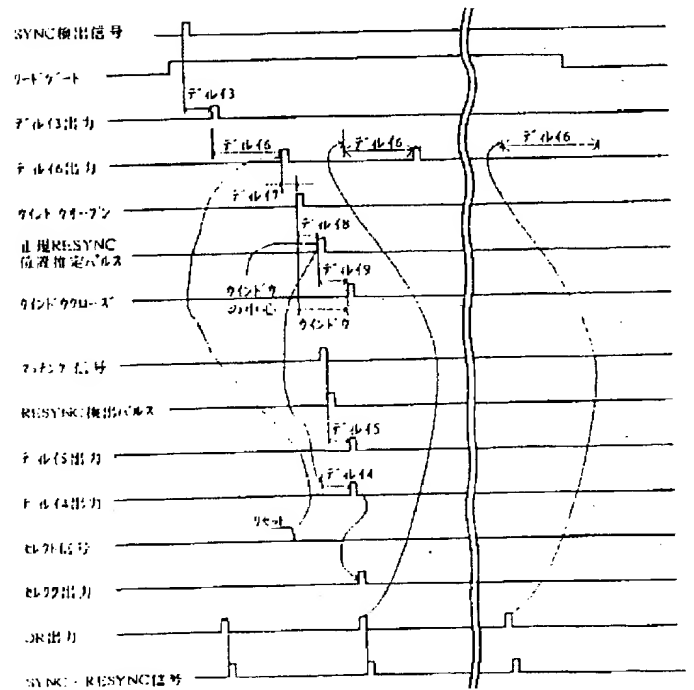
第4図



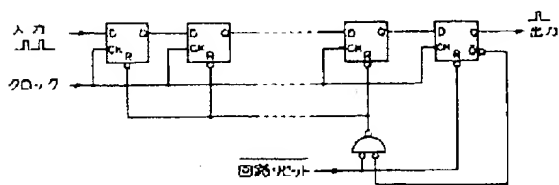
第5図



第6図

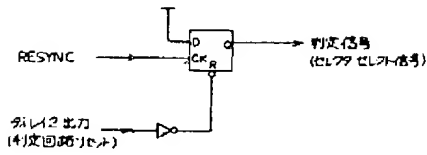


第7図

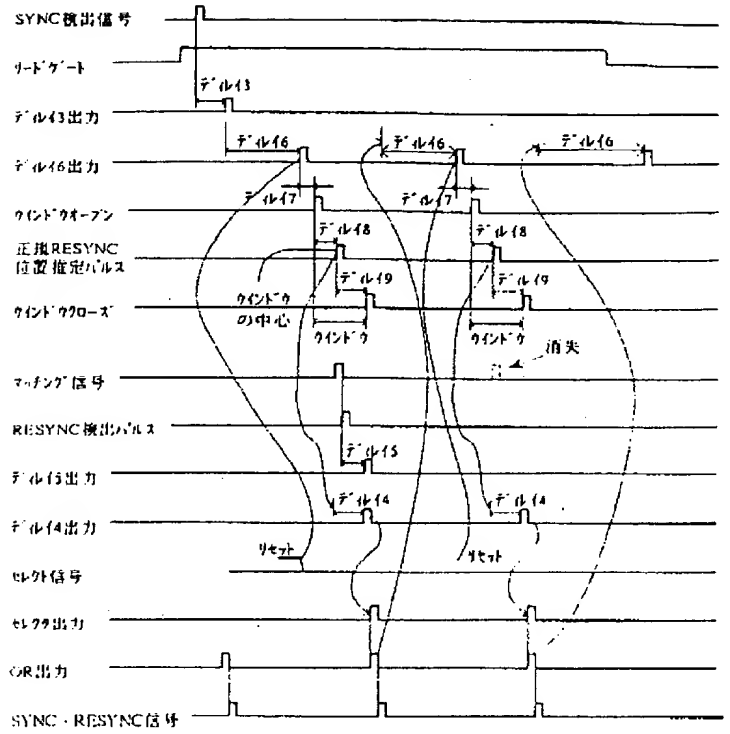
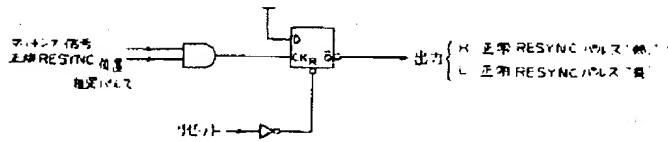


第10図

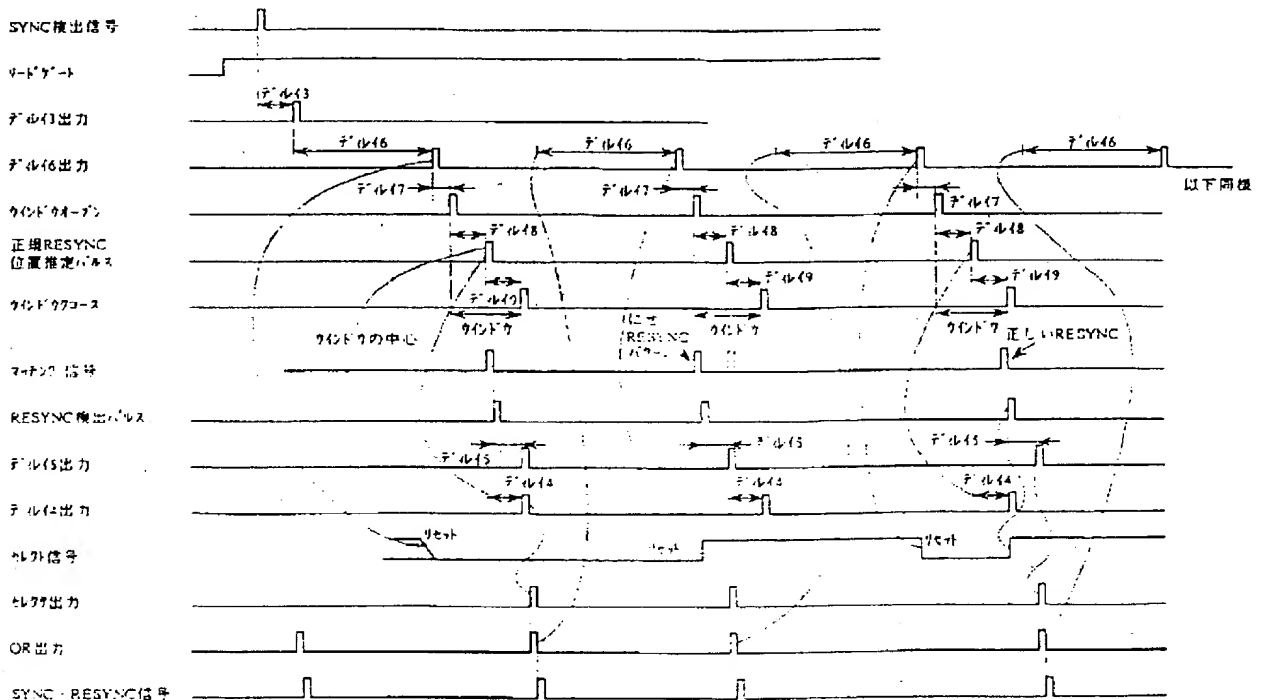
第8図



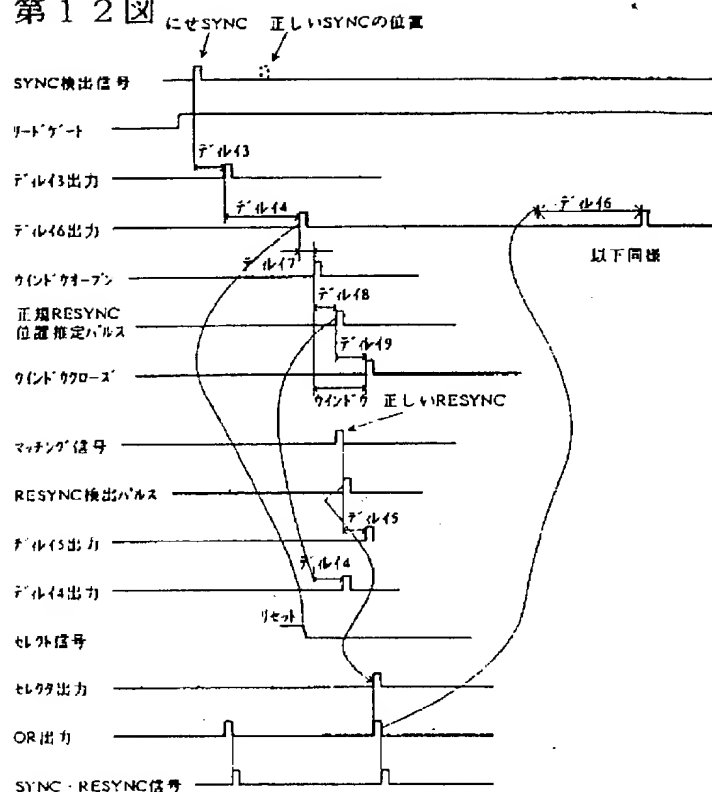
第9図



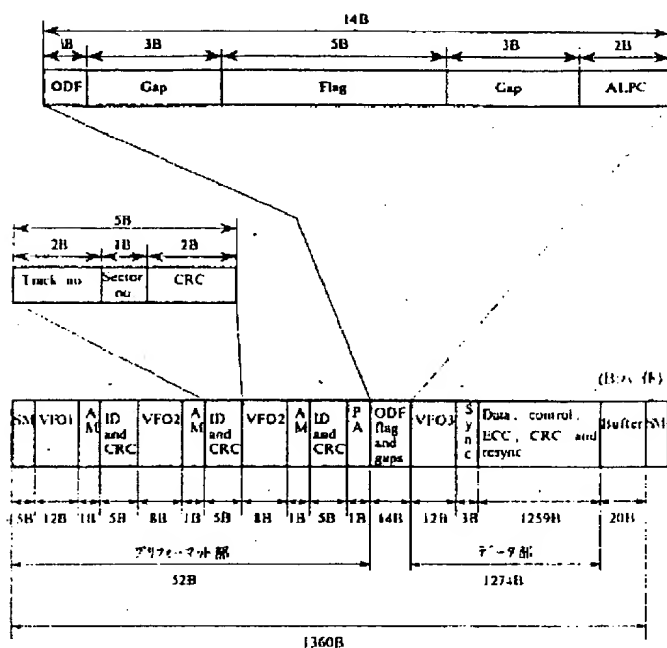
第11図



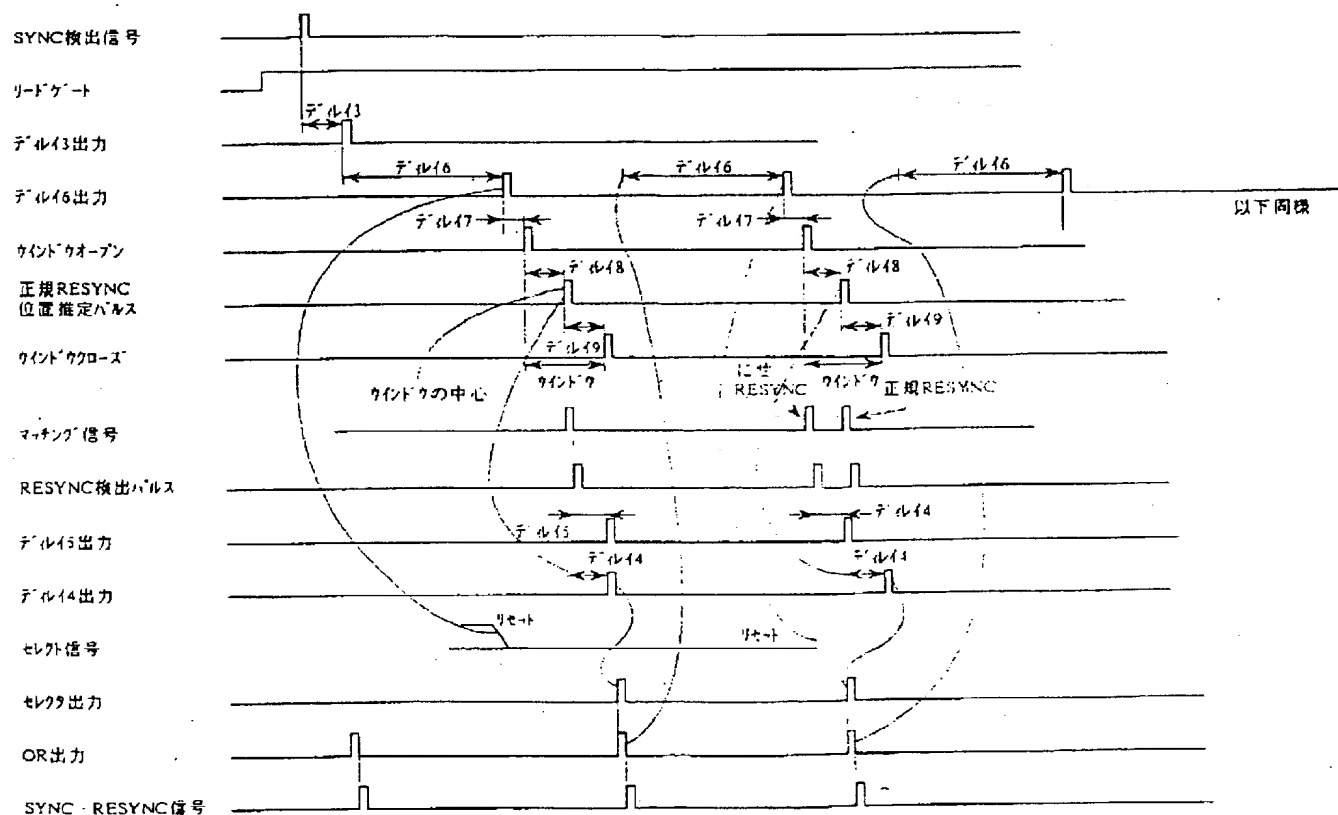
第12図



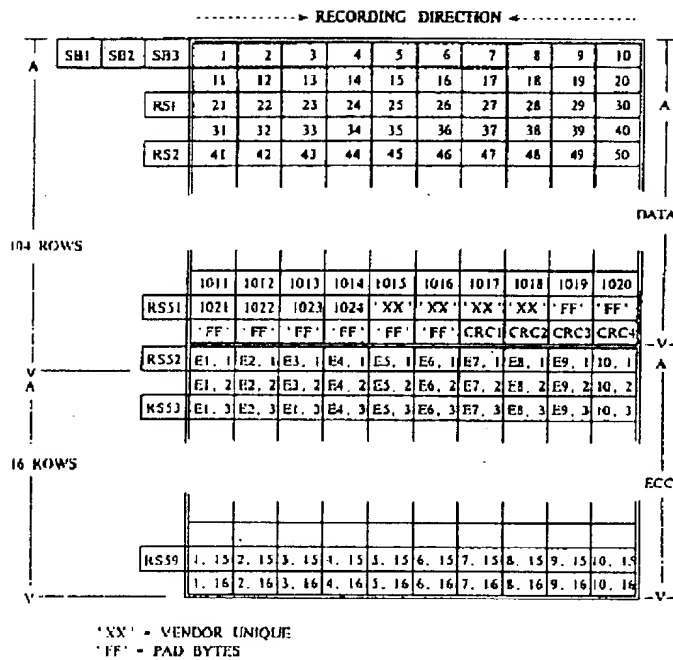
第14図



第13図

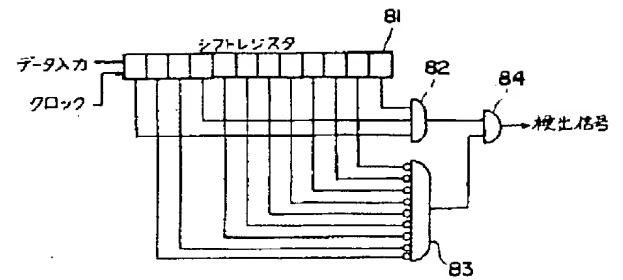


第15図

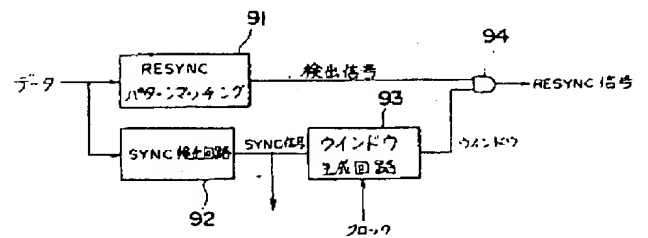


DATA BLOCK CONFIGURATION  
1024 BYTE SECTOR FORMAT, ECC WITH 10-WAY INTERLEAVE

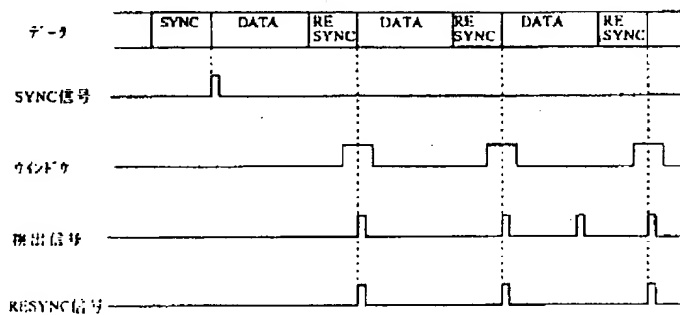
第16図



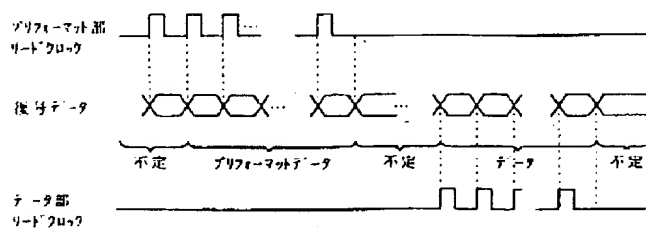
第17図



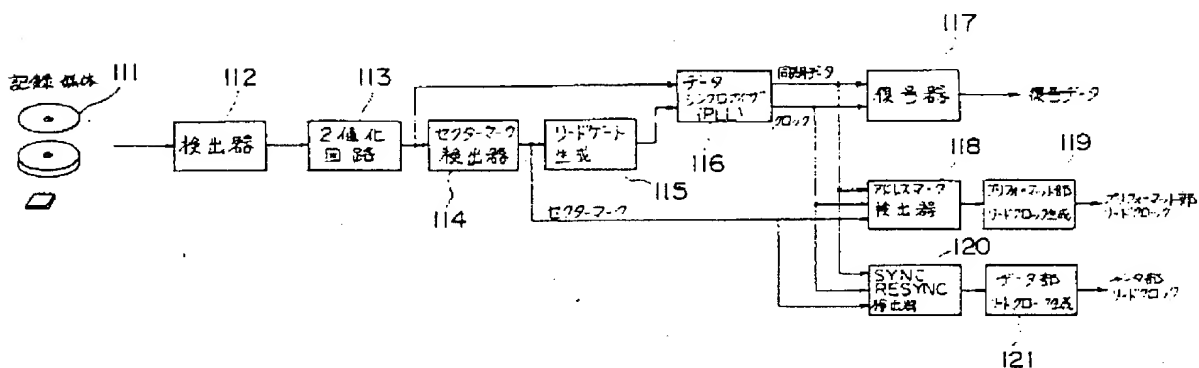
第18図



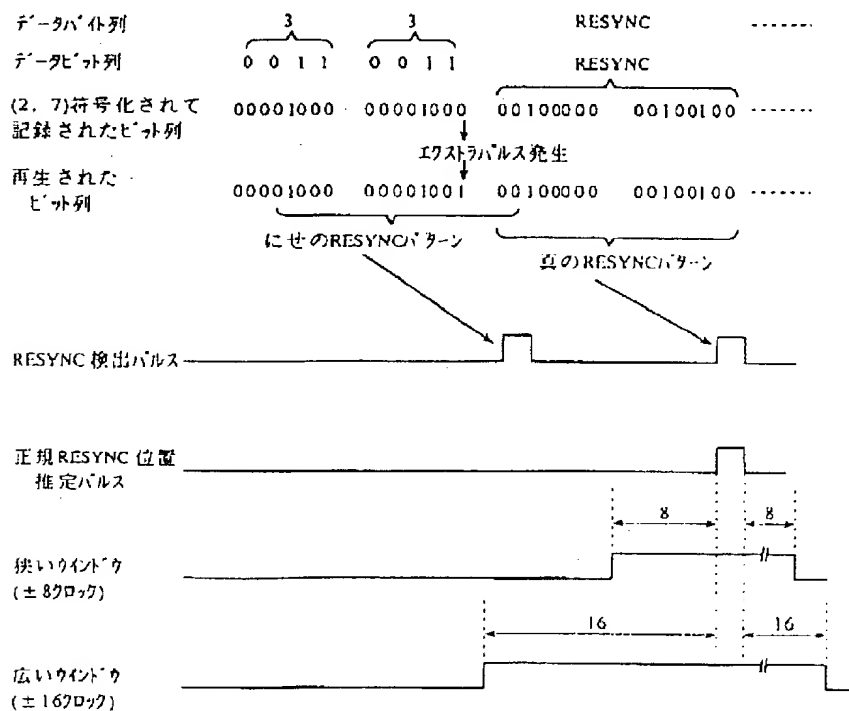
第20図



第19図



第21図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-132431

(43)Date of publication of application : 06.05.1992

(51)Int.Cl.

H04L 7/08  
G11B 20/10

(21)Application number : 02-254801

(71)Applicant : CANON INC

(22)Date of filing : 25.09.1990

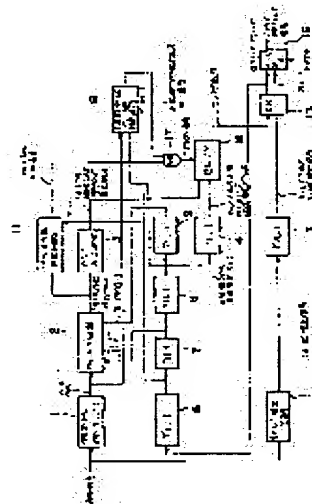
(72)Inventor : SATOMURA SEIICHIRO

## (54) RESYNC DETECTION CIRCUIT

## (57)Abstract:

**PURPOSE:** To ensure an output of a proper RESYNC by outputting a position estimate pulse with priority when  $2 \geq$  RESYNC signals are detected in a window and any of them is located at a position the same as that of the position estimate pulse.

**CONSTITUTION:** The detection circuit is provided with a RESYNC pattern matching circuit 1, a window circuit 2, delay circuits 3-9, a pulse presence discrimination circuit 11, a normal RESYNC pulse presence discrimination circuit 12, a SYNC detection circuit 13, a selector 14, an OR gate circuit 15, a D flip-flop 16 and an AND gate circuit 17. In this case, when  $2 \geq$  RESYNC signals in a window are detected and any of them is at the same position as the position estimate pulse, the pulse is outputted with priority. Thus, even when a false RESYNC pattern appears, the RESYNC is correctly detected and the correct operation is ensured.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]